

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-181596

(43) 公開日 平成8年(1996)7月12日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 03 K 19/003	Z			
17/04	E	9184-5K		
17/687				
19/017				
	9184-5K		H 03 K 17/ 687	F
			審査請求 未請求 請求項の数15	OL (全 11 頁)

(21) 出願番号 特願平7-165968

(22) 出願日 平成7年(1995)6月30日

(31) 優先権主張番号 08/269451

(32) 優先日 1994年6月30日

(33) 優先権主張国 米国(US)

(71) 出願人 595094105

タウンゼンド アンド タウンゼンド ア
ンド クルー
アメリカ合衆国 カリフォルニア州
94105 サンフランシスコ スチュアート
タワー ワン マーケット ブラザ
(番地なし) トゥエンティース フロア

(72) 発明者 ロバート ジェイ プレブスティング
アメリカ合衆国 カリフォルニア州
94022 ロス アルトス ヒルズ エドガ
ートン ロード 27800

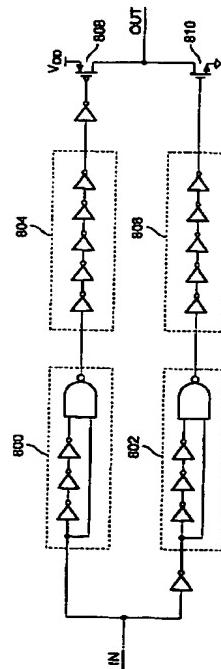
(74) 代理人 弁理士 中村 稔 (外6名)

(54) 【発明の名称】 CMOS集積回路における高速伝搬技術

(57) 【要約】

【目的】 反対側のエッジでの信号遷移がより遅くなると
いう犠牲の下に、伝搬する信号の情報搬送エッジでのよ
り速い信号遷移を達成するCMOS回路用高速伝搬技術
の提供。

【構成】 本発明の技術は、信号の一方のエッジ(立上がり
または立下がり)での高速遷移と、反対側のエッジで
の低速遷移を得るために、CMOS回路におけるPチャ
ネルブルアップトランジスタと、Nチャネルブルダウン
トランジスタとの寸法比を、非対称にする。本発明の高
速伝搬技術は、同期型RAM等の同期型デジタルCM
OS回路によく適合する。



1

【特許請求の範囲】

【請求項1】 入力データが、事前に決められた時間にのみ変化する相補形金属酸化膜半導体(CMOS)回路において、
入力端で前記入力信号を受け取り、出力端で前記入力信号の情報搬送エッジに細いパルスを生成するためのパルス発生器と、

PチャネルブルアップトランジスタとNチャネルブルダウントランジスタを有し、前記細いパルスを受け取るための入力端を有する論理回路とで構成され、前記PチャネルおよびNチャネルトランジスタは、前記信号の前記情報搬送エッジの高速信号遷移と、反対側のエッジの低速信号遷移を得るために、比率を決められたチャネル寸法を有していることを特徴とする高速伝搬回路。

【請求項2】 前記論理回路の最初の部分の出力を、入力端で受け取り、前記信号の前記情報搬送エッジに第二の細いパルスを生成し、前記の第二の細いパルスが、前記論理回路の残りの部分を伝搬することを特徴とする第二のパルス発生器から成る請求項1に記載の高速伝搬回路。

【請求項3】 前記第一と第二のパルス発生器が、それぞれ、ワンショット回路であることを特徴とする請求項2に記載の高速伝搬回路。

【請求項4】 マスタークロック信号がメモリサイクルを決定し、入力情報は、前記マスタークロックに応じて、事前に決められた時間にのみ変化するCMOS同期型ランダムアクセスメモリにおいて、

入力端で前記マスタークロック信号を受け取り、出力端で前記マスタークロック信号の情報搬送エッジに、細いパルスを生成するパルス発生器と、

入力端でアドレス情報を受け取り、前記細いパルスによってストローブされて、相補性の対になった出力端子の1つに、細いパルスとしてアドレス情報を再生するアドレス入力バッファとから成り、

前記アドレス入力バッファが、各々のゲート端子で前記細いパルスを受け取る、PチャネルブルアップトランジスタとNチャネルブルダウントランジスタから成り、前記クロック信号の前記情報搬送エッジでの高速信号遷移と、反対側のエッジでの低速信号遷移を得るために、前記PチャネルおよびNチャネルトランジスタの寸法の比率が決められていることを特徴とする高速伝搬回路。

【請求項5】 前記アドレス入力バッファが、前記アドレス入力バッファの前記出力を駆動するために、最初のCMOS段の出力端に接続された入力端を有するCMOSインバータから成り、前記クロック信号の前記情報搬送エッジでの高速信号遷移と、反対側のエッジでの低速信号遷移を得るために、前記インバータのトランジスタ寸法の比率が決められていることを特徴とする請求項4に記載の回路。

【請求項6】 前記アドレス入力バッファの前記出力端

2

に接続された入力端を有し、前記クロック信号の前記情報搬送エッジでの高速信号遷移と、反対側のエッジでの低速信号遷移を得るために、非対称のトランジスタ寸法を有するCMOS論理回路を使用している復号段から成るアドレス復号経路から成ることを特徴とする請求項5に記載の回路。

【請求項7】 前記マスタークロック信号を入力端で受け取り、前記クロック信号の情報搬送エッジに第二の細いパルスを生成する第二のパルス発生器と、

10 相補対である局部入出力信号に接続された第一と第二の入力端を有し、前記第二の細いパルスによってストロークされて、細いパルス幅を有する出力を生成する差動センサスアンプとから成る請求項6に記載の回路。

【請求項8】 前記差動センサスアンプが、各々のゲート端子で前記第二の細いパルスを受け取る、PチャネルブルアップトランジスタとNチャネルブルダウントランジスタから成り、前記クロック信号の前記情報搬送エッジでの高速信号遷移と、反対側のエッジでの低速信号遷移を出力端で得るために、前記PチャネルおよびNチャネルトランジスタ寸法の比率が決められていることを特徴とする請求項7に記載の回路。

【請求項9】 前記差動センサスアンプが、前記出力を駆動する前記差動センサスアンプの出力端に接続された入力端を有するCMOSインバータから成り、前記クロック信号の前記情報搬送エッジでの高速信号遷移と、反対側のエッジでの低速信号遷移を得るために、前記インバータのトランジスタ寸法の比率が決められていることを特徴とする請求項8に記載の回路。

【請求項10】 マスタークロック信号がメモリサイクルを決定し、入力情報は、前記マスタークロックに応じて、事前に決められた時間にのみ変化するCMOS同期型ランダムアクセスメモリにおいて、

入力端で前記マスタークロック信号を受け取り、前記マスタークロック信号の情報搬送エッジで、細いパルスを生成するパルス発生器と、

入力端でアドレス情報を受け取るアドレス入力バッファと、

前記アドレス入力バッファの出力端に接続された入力端を有し、前記クロック信号の前記情報搬送エッジでの高速信号遷移と、反対側のエッジでの低速信号遷移を得るために、非対称のトランジスタ寸法を有するCMOS論理回路を使用している復号段から成るアドレス復号経路から成ることを特徴とする高速伝搬回路。

【請求項11】 マスタークロック信号がメモリサイクルを決定し、入力情報は、前記マスタークロックに応じて、事前に決められた時間にのみ変化するCMOS同期型ランダムアクセスメモリにおいて、

入力端でアドレス情報を受け取るアドレス入力バッファと、

50 前記アドレス入力バッファの出力端に接続された入力端

を有し、前記アドレス情報に応じてメモリセルを選択するためと、前記メモリセルの内容を相補対である入出力線に送り出すための出力端を有するアドレス復号回路と、

出力端に細いパルスを生成し、差動信号が前記相補対の入出力線に現れた後に、前記細いパルスを生成することを特徴とするパルス発生器と、

前記相補対である入出力線に接続された第一と第二の入力端を有し、前記細いパルスによってストローブされて、細いパルス幅を有する出力を生成する差動センスアンプとから成ることを特徴とする高速伝搬回路。

【請求項12】 前記差動センスアンプが、各々のゲート端子で前記第二の細いパルスを受け取る、PチャネルブルアップトランジスタとNチャネルブルダウントランジスタから成り、前記クロック信号の前記情報搬送エッジでの高速信号遷移と、反対側のエッジでの低速信号遷移を出力端で得るために、前記PチャネルおよびNチャネルトランジスタの寸法の比率が決められていることを特徴とする請求項11に記載の回路。

【請求項13】 相補形金属酸化膜半導体(CMOS)回路において、

(a) 信号の情報搬送エッジで細いパルスを生成する工程と、

(b) 前記CMOS回路の論理ゲートに前記細いパルスを印加する工程と、

(c) 前記信号の前記情報搬送エッジでの高速信号遷移と、反対側のエッジでの低速信号遷移を得るために、前記CMOS回路におけるPチャネルブルアップトランジスタとNチャネルブルダウントランジスタのトランジスタ寸法比を非対称にする工程とから成ることを特徴とする信号伝搬速度の増加方法。

【請求項14】 (d) 前記信号が前記非対称CMOS回路を伝搬するにつれて、前記信号のパルス幅を広げる工程と、

(e) 前記信号のパルス幅を再度低減するために、前記信号の情報搬送エッジで第二の細いパルスを生成する工程と、

(f) 前記第二の細いパルスに前記CMOS回路を継続的に伝搬させる工程とから成ることを特徴とする請求項13に記載の方法。

【請求項15】 第一ノード上の情報が、事前に決められた時間にのみ変化する相補形金属酸化膜半導体(CMOS)回路において、

前記第一ノードに接続された入力端を有し、前記第一ノード上の前記情報の正の遷移に応じて、出力端に最初のパルスを生成する第一パルス発生器と、

前記第一ノードに接続された入力端を有し、前記第一ノード上の前記情報の負の遷移に応じて、出力端に第二パルスを生成する第二パルス発生器と、

前記第一パルス発生器の前記出力端に接続された入力端

を有し、前記第一ノード上の前記情報の正のエッジの伝搬遅延を最小にするために、非対称な寸法比のPMOSとNMOSトランジスタを有する第一経路の論理ゲートと、

前記第二パルス発生器の前記出力端に接続された入力端を有し、前記第一ノード上の前記情報の負のエッジの伝搬遅延を最小にするために、非対称な寸法比のPMOSとNMOSトランジスタを有する第二経路の論理ゲートとから成り、

前記第一論理経路の出力パルスが、第二ノードの状態を第一論理レベルに設定し、前記第二論理経路の出力パルスが、前記第二ノードの状態を第二論理レベルに設定することを特徴とするCMOS回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、一般的には、相補形金属酸化膜半導体(CMOS)集積回路に関し、特に、非対称論理回路を用いたCMOS回路における高速伝搬技術に関する。

【0002】

【従来の技術】 代表的なCMOSインバータは、Pチャネル(PMOS)ブルアップトランジスタとNチャネル(NMOS)ブルダウントランジスタを備えている。PMOSは、本来、NMOSより弱いので、カスケード接続で対になったインバータ段を通過する信号の伝搬時間を最小限にするために、PMOSブルアップトランジスタの寸法(つまり、チャネル幅)は、NMOSの寸法の約1.5倍の大きさである。CMOSゲートでの信号伝搬遅延時間は、そのゲートのファン・アウトFと共に、直線的に増大する。所与の段におけるファン・アウトFは、負荷デバイス(つまり、被駆動段)の寸法を駆動段の寸法で割った比率によって、定義される。CMOSインバータにおける両トランジスタの寸法が大きくなる程、その出力は、所与の容量性負荷の切換えを速くできる。最小の遅延で非常に大きな負荷を駆動するために、従来、通常のCMOS論理回路は、段階的に寸法が大きくなり、各段は、ほぼ3つのファン・アウトFを持つ、連鎖状のインバータを使用している。3を超えるかまたは3未満のファン・アウトで設計すると、所与の総所要ファン・アウトを得るために遅延量が増加する。1段当たりのファン・アウトが少ないと、段数が異常に増加し、一方、1段当たりのファン・アウトが増えると、1段当たりの遅延量が激増する。伝搬遅延時間は、従来から、極めて重要な設計要素である。

【0003】

【本発明が解決しようとする課題】 ある同期回路の応用例では、ポスト・チャージ論理回路として知られる技術を使って、その信号伝搬速度をかなり増加することができる。米国特許第4,985,643で十分に説明されているように、ポスト・チャージ論理回路は、通常のCMOS論

理回路で得られる速度よりもさらに速く、本発明によって得られる速度より幾分か速い速度を達成している。しかし、ポスト・チャージ論理回路には、幾つかの制約がある。その回路には、回路のレイアウト上の問題となる、多数のフィードバック・リセット経路が、必要である。また、別のパルスが伝搬される前で、各パルスの伝搬後に、リセット時間間隔を設ける必要もある。これは、どのパルスのデューティサイクルも50%以下に制限し、この制限は、メモリ回路を含めた多くの回路に対して、厳しい制約となる。50%に制限されたデューティサイクルの下では、半サイクルしか、読み出しサイクルの間、メモリ・セルから信号を取り出すために使えず、あるいは、書き込みサイクルの間、メモリ・セルに新しいデータを入力する場合も同様である。

【0004】従って、ポスト・チャージ論理回路の制約無しに、CMOS論理回路における伝搬遅延時間を低減するという要求が、依然として存在する。

【0005】

【問題を解決するための手段】本発明は、入力情報を既知の特定時間にのみ変更できる（つまり、変更の間に既知の最小時間を作っている）、CMOS回路用高速伝搬技術を提供する。本技術は、例えば、クロック入力等の反復性の時間事象が、新しい情報の使用可能時期を指示する同期回路に使用できる。

【0006】概略的には、本発明の回路は、情報搬送パルスによって中断される正規または待機電圧を、各ノードに有している。該情報搬送パルスは、細い（短持続時間）パルスとして、回路入力端付近で生成される。このパルスを、可能な限り小さい伝搬遅延で種々のレベルの論理回路を伝搬させるために、種々の論理回路段は、非対称の比率を持つトランジスタ寸法を使用する。CMOSゲートでのトランジスタ寸法の非対称性は、他の方向（正規または待機電圧へのリセット）での遅いスイッチングという犠牲を払って、一方向（情報搬送の立上がり）でのより早いスイッチングを実現する。より早い立上がり遷移により、信号経路を通じて、情報がより早く伝搬する。パルスが信号経路を伝搬している間に、より遅い第二のエッジにより、パルス幅が広がってしまう。非対称論理回路の各段で、パルス幅が増加する。しかし、伝搬するパルスの幅の上限は、その回路の最小サイクルタイムである。つまり、該パルスは、後続の情報搬送エッジに干渉しないように、早くクリアされなければならない。従って、該パルスが伝搬する非対称論理回路段の数は、制限される必要がある。そこで、細いパルスは、幾つかの初段の回路を通過する際に、幅が広がるが、後段の回路を伝搬する第二の細いパルスとして、再始動することが可能である。

【0007】ある実施例では、本発明の高速伝搬技術が、同期型ランダムアクセスメモリ（RAM）のアクセス時間を改善する。通常、マスタークロック等の反復性

時間事象は、情報の使用可能時期を指示するので、本発明の高速伝搬技術を、同期回路に使用できる。パルス発生器は、マスタークロックの情報搬送エッジに、細いパルスを生成する。該パルスは、非対称論理回路を使用している復号経路を伝搬する。該復号経路は、アドレス入力バッファ、前置復号回路、および最終復号回路から成り、該信号の情報搬送立上がりの高速化のために、これら全ての回路は、非対称トランジスタ寸法を有している。また、出力経路も、相補型の局部入出力（I/O）線から得られるデータを検知し、増幅するダイナミック差動センサアンプから始まる非対称論理回路を使用している。該センサアンプは、第二の細いパルスを、起動ストローブとして受け入れる。非対称トランジスタ寸法を有するインバータを使用して、該センサアンプ出力は、大域I/O線にバッファリングされる。該大域I/O線は、出力バッファ経由で、そのデータをその出力に送り出す。

【0008】従って、非対称論理回路の使用により、同期型RAMのアクセス時間を低減している。下記の詳細な記述と図面により、本発明の高速伝搬技術の性質と特徴が、さらによく理解されるはずである。

【0009】

【実施例】図1Aと図1Bは、2つのインバータ連鎖100と102を示し、各々のインバータ連鎖は、同じ値の実効容量負荷104を駆動する。インバータ連鎖100は、入力信号200の立上がり及び立下がりの両方で、最小の伝搬遅延となるように調節されたトランジスタ寸法を持つ、連鎖状に直列接続された6つのCMOSインバータ106、108、110、112、114、

10及び116を有する標準的な従来技術によるバッファ回路である。各トランジスタの幅は、PMOSトランジスタ106Pの幅が $3\mu m$ で、NMOSトランジスタ106Nの幅が $2\mu m$ であり、図1Aと図1Bの括弧内に記入されている。この例では、各インバータの寸法は、3の因子で拡大し、インバータ106の $3/2$ のPMOS/NMOSチャネル幅比率で始まり、最終インバータ116の $729/486$ で終了する。それぞれ独立したトランジスタのファン・アウトを、負荷のトランジスタ寸法（チャネル幅）の合計（つまり、駆動されるトランジスタゲートの幅の総和）を駆動トランジスタの寸法で割った比率であると定義する、PMOSトランジスタ106P、108P、110P等のファン・アウトF_Pは、 $5(5=[9+6]/3=[27+18]/9=[81+54]/27等)$ であり、NMOSトランジスタ106N、108N、110N等のファン・アウトF_Nは、 $7.5(7.5=[9+6]/2=[27+18]/6=[81+54]/18等)$ である。同じファン・アウト条件では、それぞれ対になった段（立上がり用の段と立下がり用の段）は、2つの対毎に、同じ遅延量を示す。

【0010】図1Bによれば、インバータ連鎖102

は、直接接続され、非対称トランジスタ寸法に設計された、4つのCMOSインバータ118、120、122、及び124から成る。この例では、情報は、その入力信号の立上がりによって搬送されるものとしている。従って、入力信号の立上がりが該インバータ連鎖を伝搬する速度を上げるために、トランジスタ寸法は、非対称にされている。最初のインバータ118は、PMOSトランジスタの、例えば、4倍の寸法を持つNMOSトランジスタを有するので、ノード118OUTにおける立下がり遷移は、立上がり遷移よりも早い。インバータ連鎖102の高速（情報搬送）経路を高速にするために、NMOSトランジスタ118Nのファン・アウトFnは、図1Aのトランジスタ106Nに用いられた値と同じく、7.5が選ばれる。従って、負荷トランジスタ120Pと120Nのチャネル幅の合計は、 $30\mu m$ であり、駆動トランジスタ118Nの $4\mu m$ のチャネル幅の7.5倍である。インバータ120の出力端における信号の立上がり時間を短縮するために、PMOSトランジスタ120Pは、NMOSトランジスタ120Nより大きく設計される。上記の例では、インバータ120のPMOS/NMOSトランジスタの寸法は、 $25/5$ に設定されている。これにより、立下がり時間が遅くなるという犠牲の下で、インバータ120の出力信号の立上がり時間が速くなり、一方、トランジスタのチャネル寸法の合計は、 $30\mu m$ を維持している。同様の分析が、2つの最終インバータ122と124のトランジスタチャネル幅を選ぶ際に、適用できる。図1Bに示す例では、インバータ122と124のPMOS/NMOSトランジスタの寸法は、各々 $15/110$ と $750/75$ である。インバータ120のFpは、 $125/25=5$ であり、インバータ122のFnは、 $825/110=7.5$ である。

【0011】各インバータ連鎖の性能比較のために、インバータ連鎖100における各隣接インバータ対は、例えば、1nsecの伝搬遅延であることとする。2つのインバータ連鎖100と102の高速経路（つまり、入力の立上がり）に対するファン・アウトを同じにすると、インバータ連鎖102において、対になった段の遅延は、インバータ連鎖100の遅延より実際に小さい。入力信号200が低から高に遷移するにつれて、インバータ106と118の各々のPMOSトランジスタ106Pと118Pのゲート-ソース間電圧は下がり、一方、NMOSトランジスタ106Nと118Nのゲート-ソース間電圧は増加する。従って、NMOSトランジスタは、オンになり始め、PMOSトランジスタはオフになり始めるので、インバータ出力はアース電位に落ちる。しかし、当初は、該出力をアース電位に引き下ろす際に、NMOSトランジスタは、まだ完全にはオフになっていないPMOSトランジスタと競うことになる。この期間中は、比較的強いNMOS118Nは、比較的強いPMO

S106Pと競うNMOS106Nに比べると、さらに弱いPMOS118Pと競う。従って、両方のNMOSトランジスタが、同じ容量性ファン・アウトFn=7.5であるとすると、インバータ118の出力信号1180OUTは、インバータ106の信号106OUTより早くアース電位に落ちる。つまり、立上がり入力に対して、非対称インバータ118は、通常のインバータ106より遅延が小さいことが分かる。同様に、両方の連鎖の最初のインバータ106と118の出力が低になると、各々、後段であるPMOSトランジスタ108Pと120Pがオンし、NMOSトランジスタ108Nと120Nがオフする。再度、小さいNMOSトランジスタ120Nは、大きいPMOSトランジスタ120Pに殆ど敵対できず、一方、NMOSトランジスタ108Nは、PMOSトランジスタ108Pに、当初は、かなり抵抗する。従って、両方のPMOSトランジスタが同じ容量性ファン・アウトFn=5であるとすると、インバータ120の出力信号120OUTは、インバータ108の出力信号108OUTより早くVDDに上昇する。

従って、立上がり入力に対する非対称インバータ連鎖102の対になった段当たりの平均遅延は、インバータ連鎖100の遅延より小さく、0.9nsec程度である。インバータ連鎖100の総遅延は3nsec(0.5nsec/段×6段)であり、一方、立上がり入力に対する非対称インバータ連鎖102の総遅延は1.8nsec(0.45nsec/段×4段)である。インバータ連鎖102における最終インバータ124のPMOSトランジスタ124Pは、インバータ連鎖100における最終インバータ116のPMOSトランジスタ116Pよりも強いために、注意が必要である。従って、2段少ないインバータ連鎖102は、インバータ連鎖100よりも、大きい負荷をより早く駆動できる。非対称論理回路での立上がり入力の遅延は、同じ総ファン・アウトを有する通常論理回路の遅延の約60%である。

【0012】しかし、入力信号の立上がりでの回路120の通過速度の大きな増加は、入力信号の立下がりのかなりの遅延増加との引き替えで、実現される。従来技術の信号経路100は、立上がりまたは立下がり入力に対しても同じ遅延である。しかし、本発明に係わる信号経路102は、入力の立下がりの伝搬が非常に遅い。入力が低になると、2つの理由で、PMOSトランジスタ118Pは、ノード118OUTを、非常に緩慢に、高にスイッチングする。最初の理由は、PMOSトランジスタ118Pが $(25+5)/1 = 30$ という非常に高いファン・アウトを持っているためである。このように大きいファン・アウトは、それ自体で、PMOSトランジスタ118Pを非常に遅くする。第二に、入力200が、NMOSトランジスタ118Nを十分にオフさせる電圧になるまで、NMOSトランジスタ118Nは、引き続きPMOSトランジスタ118Pと競い続ける。つ

まり、回線100のノード106OUTよりもかなり遅い速度で負の遷移をした後に、ノード118OUTが高くなる。同様に、段120のNMOSトランジスタ120Nは、ノード120OUTを非常に緩慢に引き下げる。つまり、図2に示すように、回路102の非対称論理回路は、入力信号の立上がりに関しては、従来技術の回路100より速いが、入力信号の立下がりに関しては、従来技術の回路100よりかなり遅い。しかし、立下がりでの遅延の増加は、本発明の回路動作に関しては逆効果にならない。それは、パルスの次の情報搬送立上がりが発生する前に、該パルスは完了するからである。

【0013】しかし、より遅い第二のエッジのために、非対称インバータ連鎖の各段を伝搬するにつれて、パルス幅はかなり広がる。図2に示すように、ノード124OUTでの正のパルスは、ノード120OUTでの正のパルスより幅が広いノード122OUTの負のパルスよりも、さらに広い。該パルスより幅は、何の障害も無く相当に拡がることができるが、論理回路の最終段においても、次の情報搬送エッジの発生前に、パルスが終了することが保証されるように、該回路は設計されなければならない。そのように都合よく終了することを保証するために、本発明の非対称論理回路技術は、信号の情報搬送エッジがでたらめな時間に発生するのではなく、新しい情報搬送パルスエッジの初期化の間の、既知の最短時間間にのみ発生するように制限されている回路に、適用できる。このことが、新しいデータ搬送パルスの到着前に、あるデータ搬送パルスが完了することを保証する。

【0014】該回路の適切な動作のために、設計者は、信号経路を伝搬する信号のパルス幅を、制限しなければならない。これは、例えば、単純なワンショット回路を使って、信号の情報搬送エッジに、非常に細いパルスを発生することにより達成できる。原入力信号の代わりに、該細いパルスが、非対称論理回路に入力される。細いパルスは、非対称論理回路を伝搬する間に、そのパルス幅が拡大する。該信号のパルス幅が危険な寸法（最小サイクルタイム未満）になると、該信号は、再度、ワンショット回路を通過し、非対称論理回路の以後の段を伝搬し続ける第二の細いパルスを発生する。この細いパルスの再生は、希望する限り、何度も実行される。

【0015】図3は、本発明に係わる非対称論理回路の簡単な例を示す。入力信号300は、ワンショット回路302の入力端に印加される。ワンショット回路302の出力304は、入力信号の立上がりでの細い負のパルスである。この信号は、非対称論理回路306の数段を伝搬する。この例では、ノード304の立下がりに関して、回路での遅延を最小にするために、PMOS/NMOSの寸法比は、非対称となっている。該細いパルスは、非対称論理回路306の各段を伝搬するにつれて、幅が広がる。該パルス幅が、該入力信号の最小サイクル

10 タイム（つまり、新しい情報搬送パルスの開始点同士の時間間隔）に近づくと、第二のワンショット回路308が、該信号をその入力端で受け取り、該出力端310で第二の細いパルスを発生する。この処理は、該信号が出力されるまで続行される。代表的な適用例で、非対称インバータ306の大部分が、NAND、NOR、または他の論理ゲートであることが分かる。

【0016】本発明の非対称論理回路技術は、逆の電圧レベルになっている、相補型または相互排他型のデータ線上のパルスによって、データを表現する必要がある。つまり、論理“0”と論理“1”を明確に区別するために電圧レベルを使用する単線では、データは送られない。その代わりに、「真」の線上のパルスは論理“1”であり、「逆」の線上の、相互に排他的なパルスは論理「0」を表すために、少なくとも2本の、相互に排他的な配線が必要である。例えば、RAM回路における前置復号器または最終復号器の出力の場合、1つのパルスは、他の出力上のパルスではなく、N本の出力から選択された1本の出力上に存在する。各パルスは、別々の非対称論理回路の経路を、伝搬することができる。図8の例示回路に、別々のデータ経路を示している。1つの入力信号とその逆相の信号は、それぞれ、2つのパルス発生器800と802に入力される。パルス発生器800と802の出力は、図3のブロック306における5つのインバータと同様に、それぞれ、数段の非対称論理回路804と806を通して。 「真」の経路804の出力は、インバータを経由してPMOSプルアップトランジスタ808のゲートを駆動し、一方、逆相の経路806の出力は、NMOSトランジスタ810を直接に駆動する。PMOSトランジスタ808とNMOSトランジスタ810の双方のドレインは、1本の出力線にするために、結合されている。入力端での立上がりは、ワンショット回路800の出力端では、負のパルスとなり、該パルスの前縁は、非対称論理回路804を瞬時に伝搬し、より広い負のパルスとしてPMOSトランジスタ808のゲートに至り、一方、NMOSトランジスタ810のゲートは、論理「低」のままである。この結果、PMOSトランジスタは、殆ど遅延無く、出力ノードOUTをVDDに引き上げる。入力端での立下がりは、ワンショット回路802の出力端では、負のパルスとなり、該パルスの前縁は、非対称論理回路806を瞬時に伝搬し、より広い負のパルスとしてNMOSトランジスタ810のゲートに至り、一方、PMOSトランジスタ808のゲートは、論理「高」のままである。つまり、單一の出力線にはなるが、2つの別々の信号経路により、本発明の非対称論理回路技術の速度上の利点は、入力信号の両方向で実現される。

【0017】この例は、2つの情報搬送エッジの発生の最短時間間にに対する要件も示している。つまり、1Nにおける負の遷移は、正の遷移の直後に追随することが

11

許されず、またその逆も同様である。ワンショット回路 800 の出力端で生成された非常に細いパルスは、PMOSトランジスタ 808 のゲートでは、より広いパルスになっている。1Nにおいて、後続の負の遷移が非常に早く発生し、その結果、PMOSトランジスタ 808 がオフする前に、NMOSトランジスタ 810 がオンすると、その出力電圧の降下は非常に遅く、更に、回路は多大の電力を消費する。つまり、信号の情報搬送エッジが、でたらめな時間に発生することは、本発明の非対称論理回路技術にとって致命的である。新しい、多くの場合、逆の情報搬送エッジが到着する前に、前の情報搬送エッジが既に完了しているという時間関係が、情報搬送パルス間になければならない。

【0018】本発明の非対称論理回路技術に関する応用回路の好適な例は、ダイナミックまたはスタティックRAM回路である。同期記憶回路の設計は、マスタークロック信号に基づいている。読み出しまだ書き込み等のダイナミックRAM(DRAM)サイクルは、クロック入力信号の立上がり(任意選択)で始動される。同期型DRAMに供給される列アドレスは、周期的なクロックの立上がりでサンプリングされ(または、ラッチされ)、クロックの間では内部的に変化しない。同期型DRAMは、読み出し動作の後の書き込みサイクル用に選択された列の復号信号を維持する必要のある、読み出し/変更/書き込みサイクルをサポートしていない。単一の既知の動作(例えば、読み出しか書き込み)は、最終の列復号出力での電圧レベルよりもむしろパルスの使用を可能にする。内部アドレスでの定期的な変化とこれが結びつくと、非対称論理回路が使用できる。つまり、非対称論理回路の速度上の利点が実現され、一方、列選択出力に関し、読み出しまだ書き込みのためのポストチャージ論理回路で可能なパルスよりも、さらに広いパルスを実現している。これらの利点は、以下に詳しく説明される。

【0019】図4は、DRAMで使用される代表的な復号方法の概略図である。例えば、8ビットのアドレス情報は、8つの対応する入力バッファ400に入力される。前置復号段402は、そのアドレスを、例えば、2つの3ビットグループと、1つの2ビットグループに分ける。該前置復号段402は、通常、3入力NANDゲート404と、それに続き、寸法が段階的に拡大する駆動インバータ連鎖406とから成る。前置復号段402は、2つの3ビットグループ用に8本の大域復号線の1組と、2ビットグループ用に4本の大域復号線の1組とを選択する。大域前置復号線は、3入力NANDゲート410と、それに続き、寸法が段階的に拡大する駆動インバータ連鎖412とから成る最終復号段408の入力となる。該最終復号段408は、多数のメモリアレイのそれぞれの特定の列を選択する最終大域列復号線を生成するために、256本の中の1本を選択する。

12

【0020】同期型DRAMにおいて、入力バッファ400の入力端における該アドレスは、該マスタークロック信号の所与の、例えば、立上がりで、サンプリング(ラッチ)される。図5のブロック400は、本発明に係わる非対称論理回路を使用した、例示的な同期型DRAMアドレス入力バッファの概略図である。入力端子500における該アドレスは、直列接続のインバータ502と504によって、バッファリングされる。インバータ504の出力は、その出力端に接続されたインバータ508を有する2入力NANDゲート506の片側の入力端に、接続される。インバータ508の出力は、入力バッファ回路の「真」出力OUTを形成する。最初のインバータ502の出力は、その出力がインバータ512の入力に接続された、別の2入力NANDゲート510の片側の入力端に、接続される。インバータ512の出力は、入力バッファ回路の補数出力反転OUTを形成する。両方のNANDゲート506と510の第2の入力端は、一端にされ、適切な出力線OUTまたは反転OUT上にパルスを送って、該アドレスをラッチするストローブ信号を受け取る。ワンショット回路514(図3のブロック302と同様)によって、その入力端で受け取ったクロック信号の立上がりで、負のパルスが生成される。ワンショット回路514の後段は、出力がストローブ信号であるインバータ516である。ストローブは、クロック入力の立上がりでの非常に細い正のパルスである。アドレス信号の立上がりの遅延を低減するために、非対称論理回路が、この回路で使用される。つまり、NANDゲート506と510は、相対的に大きいNMOSトランジスタと小さいPMOSトランジスタを有し、一方、インバータ508と512は、相対的に大きなPMOSと小さなNMOSを有している。この例では、CLK IN信号の立上がりの遅延を最小にするために、インバータ516とワンショット回路514は、非対称のPMOS/NMOSトランジスタ比を有している。アドレス入力の最初のバッファリングを行なうインバータ502と504は、正と負のアドレス入力遷移が同じ速度であることを必要とするので、正常なトランジスタ寸法比を有している。

【0021】アドレス入力500での論理“1”(VD)とストローブでの正のパルスの組合せにより、反転OUTは、アース電位のままであり、OUTでは正のパルスとなる。アドレス入力500での論理“0”(アース)とストローブでの正のパルスの組合せにより、OUTは、アース電位のままであり、反転OUTでは正のパルスとなる。しかし、トランジスタ寸法の非対称性により、OUTと反転OUTでの信号は、ストローブパルスよりいくらか広いパルスである。

【0022】OUTと反転OUTでのアドレスパルスは、前置復号回路に送られる。図6は、本発明に係わる同期型DRAM前置復号回路の例示的な概略図である。

13

3つのアドレスビット A_1 、 A_2 、および A_3 は、それぞれ、3つのトランジスタ600、602、および604のゲート端子に接続される。3つのNMOSトランジスタは、前置復号回路のノード606と直列に接続されて、NAND論理回路を形成している。4番目のNMOSトランジスタ608は、ゲート端子に A_1 の補数（最下位ビット）を受け取り、トランジスタ602と604を第二のプレチャージされた復号ノード610に接続する。ノード606は、アドレス111を復号し、ノード610は、アドレス110を復号する。 A_1 と A_3 用の他の値を持つ3つの同様な回路は、さらに6つの出力を生成する。PMOSトランジスタ612と614は、復号ノード606と610を、それぞれ正の供給電圧（VDD）にプレチャージし、パルスが A_1 ～ A_3 に入力されると、オフになる。各復号ノード上の信号は、非対称で段階的に寸法が増大する、3つの直列接続されたインバータによりバッファリングされる。インバータ616、618、および620は、インバータ620の出力にある高い容量性の負荷を駆動するために、ノード606からの信号をバッファリングする。これらの非対称インバータは、それぞれ80/20、80/160、および700/170の例示的なPMOS/NMOSチャネル幅比率を持っている。インバータ622、624、および628は、同様のPMOS/NMOS比で、ノード610からの信号をバッファリングする。この非対称性は、インバータ連鎖の出力での信号の立上がりの遅延を、相当に減少させる。

【0023】しかし、出力信号のパルス幅は、そのパルスの立下りでの、回路通過により増大する遅延によってさらに増大する。最終復号回路（図4の408）の出力での大域復号信号のパルス幅は、該パルスの立上がりを優先した、同様の非対称性のためにさらに増大する。該パルス幅は、適切な動作に要求される最小サイクルタイムまでは増大できるが、超えることは許されない。該サイクルタイムが、大域復号出力パルスの拡大された幅に等しい場合は、ある大域列選択は、別の選択により、同時的に選択を取り消される。同一の列が、2つの連続するサイクルで選択されると、ポストチャージ論理では不可能であるが、その列は該2つのサイクルのために維持される。つまり、本発明の非対称論理回路技術では、クロックサイクルの期間中は、大域列復号線がオンであるようにし、所与の選択時間に対するメモリ帯域幅は、ポストチャージ論理の場合の2倍となっている。

【0024】大域復号信号は、通常、選択されたビットと反転ビット線の対を、相補性の局部入出力（I/O）線対に接続する。読み取りサイクルにおける大域復号信号の始動に関して、該局部I/O線は、極性が選択されたメモリセルに記憶されたデータに依存する差動信号を、生成する。該局部I/O線は、出力が「真」または複数の大域I/O線上にパルスを生成する作動センサ

ンプの入力端に接続されている。この場所は、該作動センサアンプ用の起動信号を制御して、該信号のパルス幅を低減するのに、好都合である。図7は、本発明に係わる同期型RAM用の例示的なダイナミック差動センサアンプの概略回路図である。一对のNMOSトランジスタ700と702は、それぞれ、ゲート端子に、I/Oと反転I/Oを受け取る。交差結合対のNMOSトランジスタ704と706、および交差結合対のPMOSトランジスタ708と710は、一緒にされ、差動増幅を実施する。読み取りサイクルであって、選択された列が局部I/O線上に差動信号を生成した後でのみ、差動アンプが起動される。NMOSトランジスタ712およびPMOSトランジスタ714および716は、ゲート端子で起動用ストローブ信号を受け取り、該アンプが該差動入力をセンスできるうにする。つまり、センサアンプは、列線が選択されたままで、差動電圧がI/O線上にゆっくりと現れる、比較的長い期間の後に、新しく生成された細いパルスによってストローブされる。

【0025】該細い正のパルスの生成前に、ストローブ入力での論理「低」は、ノード718と720をVDDに引き上げる。細い正のパルスが来ると、PMOSトランジスタ714と716はオフになり、NMOSトランジスタ712はオンになる。これにより、交差結合トランジスタは再生処理を開始でき、その結果、I/Oが反転I/Oより高い正の電圧であれば、I/Oは出力ノード720を瞬時にアース電位にし、その補数のノード718をVDDに保つ。ストローブパルスが来たときに、反転I/OがI/Oより高い正電位であれば、交差結合のトランジスタは、ノード718をアース電位にし、ノード720をVDDのままにする。非対称論理回路技術は、NMOSブルダウントランジスタ712をPMOSブルアップトランジスタ714と716より大きくすることにより、該アンプ内で使用できる。つまり、出力718または720は、非常に速い立下りと遅い立上がりを持つ負のパルスを有する。ノード718または720上の負のパルスの幅は、ストローブパルス幅と、強いNMOSトランジスタ712に比べて遅いPMOSブルアップトランジスタにより、引き伸ばされたパルス幅の和に等しい。例えば、20/4の非対称PMOS/NMOSトランジスタ寸法を有する2つのインバータ722と724は、それぞれ、出力ノードを駆動する。再度、PMOSをNMOSより実質的に大きくすることにより、各インバータの出力信号の立上がり時間を大幅に低減できる。これらの信号は、それぞれ、ブルダウントランジスタ726と728経由で、プレチャージされた大域I/Oおよび反転I/O線に出力される。このように、非対称論理回路技術は、同期型RAMにおけるI/O経路の至る所で採用され、通常の対称型回路よりも速いアクセスを達成している。

【0026】上記は、本発明の特定の実施例の完結した

記述であるが、種々の変更、変形、または代替案が可能であろう。従って、本発明の範囲は、上述の実施例に制限されず、その代わりに、前記の請求の範囲によって定義される。

【0027】

【本発明の効果】従って、本発明は、CMOS回路用の高速伝搬技術を提供する。CMOS回路のトランジスタ寸法を非対称にすることによって、本発明の技術は、反対側のエッジが遅くなるという犠牲を払って、伝搬する信号の情報搬送エッジを高速化する。本発明は、通常の（対称）論理段を使用する場合に比べて、回路のアクセス時間を高速化する。本技術は、情報がでたらめな時間に変化できず、その代わりに、既知の特定時間にのみ変化するCMOS回路に、使用できる。本発明の技術の好適な応用例は、アクセス時間が最も重要な設計考慮事項の一つであるCMOS同期型DRAMまたはSRAMである。本発明の非対称論理回路技術は、列選択線が、クロックサイクルの期間中は、オンであるようにし、従って、ポストチャージ論理の場合よりも、読み取りのための信号を書き込みまたは形成するために使用できるメモリ時間をかなり増加させる。

【図面の簡単な説明】

【図1】図1Aと図1Bは、それぞれ、従来技術のインバータ連鎖と、本発明に係る非対称論理回路を有するインバータ連鎖を示す。

【図2】非対称論理回路の速度を表す、図1のインバータ連鎖のタイミング図である。

【図3】本発明に係る非対称論理回路を用いたCMOS回路の単純な実施例を示す。

【図4】RAM用の標準的な復号経路を示す概略図である。

【図5】本発明に係る非対称論理回路技術を用いた同期型RAM用の例示的な入力バッファの概略図である。

【図6】本発明に係る非対称論理回路技術を用いた同期型RAM用の例示的な前置復号回路の概略図である。

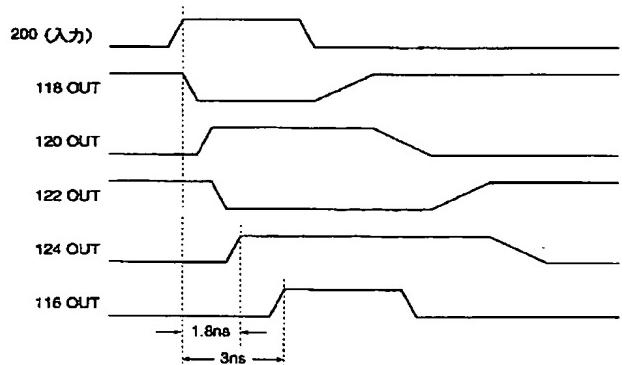
【図7】本発明に係る非対称論理回路技術を用いた同期型RAM用の例示的な差動センスアンプの概略図である。

【図8】本発明の非対称論理回路技術用の相補型データ経路を示す。

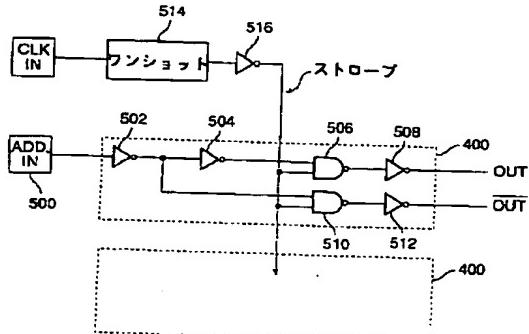
【符号の説明】

100	インバータ連鎖
104	実効容量負荷
200	入力信号
302	ワンショット回路
306	非対称論理回路
400	入力バッファ
402	前置復号段
408	最終復号段
800	NMOSトランジスタ
714	PMOSトランジスタ
726, 728	ブルダウントランジスタ
804	非対称論理回路

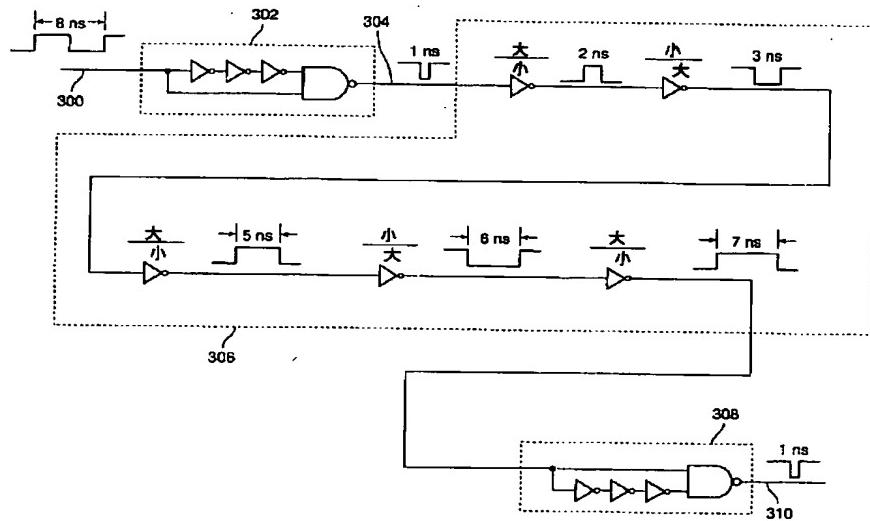
【図2】



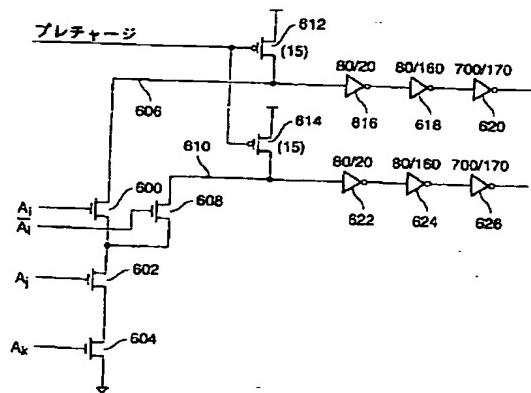
【図5】



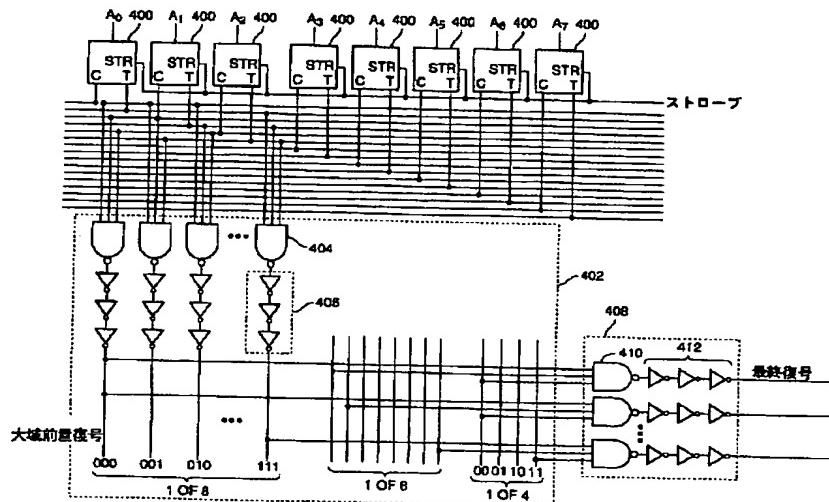
【図3】



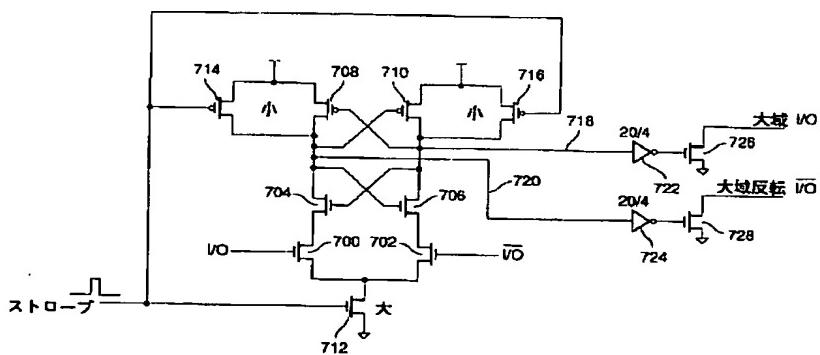
【図6】



【図4】



【図7】



【図8】

